

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211320

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

H01L 27/146
H04N 5/335

(21)Application number : 04-248946

(71)Applicant : SONY CORP

(22)Date of filing : 26.08.1992

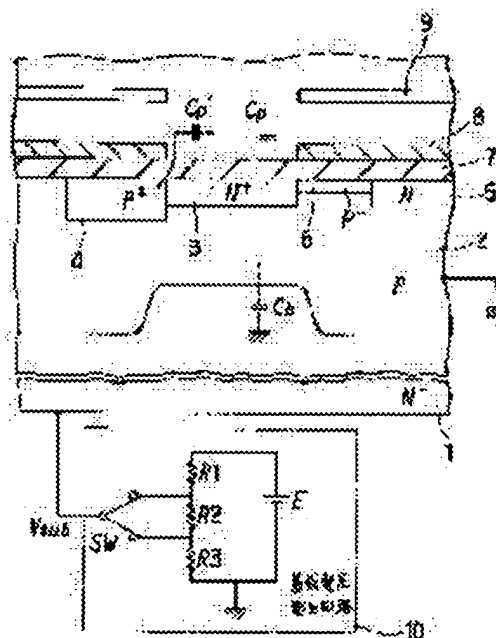
(72)Inventor : HAMAZAKI MASA HARU

(54) SEMICONDUCTOR IMAGE SENSOR

(57)Abstract:

PURPOSE: To switch the quantity of charge of a charge accumulation region to the optimum value in accordance with the case where charge accumulation method is switched between field accumulation and frame accumulation in the semiconductor image sensor of vertical type overflow structure.

CONSTITUTION: A substrate voltage generating circuit 10, on which inverted bias voltage V_{sub} to be applied between a substrate 1 and a semiconductor layer 2 which becomes a barrier is switched by a switching means SW when field storage and frame storage operations are conducted, is provided.



LEGAL STATUS

[Date of request for examination] 26.08.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 1933672

[Date of registration] 26.05.1995

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-211320

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/146

H 0 4 N 5/335

Z 4228-5C

7210-4M

H 0 1 L 27/ 14

A

審査請求 有 発明の数1(全 5 頁)

(21)出願番号

特願平4-248946

実願昭59-21680の変更

(22)出願日

昭和59年(1984)2月20日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 浜崎 正治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 弁理士 小松 祐治

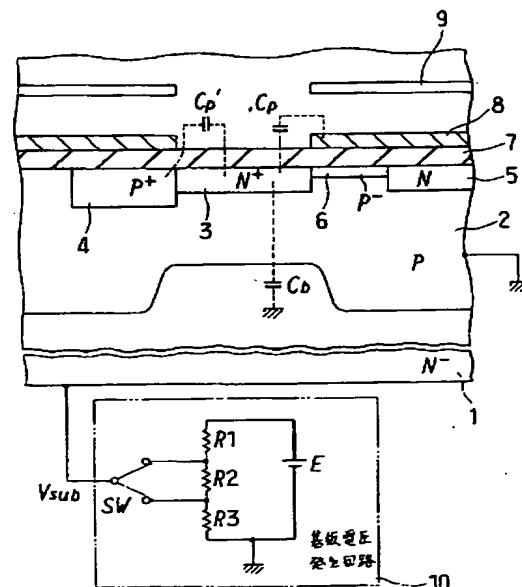
(54)【発明の名称】 半導体イメージセンサー

(57)【要約】

【目的】 縦型オーバーフロー構造の半導体イメージセンサーにおいて、電荷蓄積方法をフィールド蓄積とフレーム蓄積との間で切替えた場合にそれに応じて電荷蓄積領域の取扱い電荷量を最適値になるように切替えることができるようにする。

【構成】 基板1と障壁となる半導体層2の間に印加する逆バイアス電圧 V_{sub} を切換手段SWによりフィールド蓄積時とフレーム蓄積時とで切替える基板電圧発生回路10を設ける。

1…第1導電型基板
2…第2導電型半導体層
3…第1導電型電荷蓄積領域
4…第2導電型電荷蓄積領域
5…基板電圧発生回路
 V_{sub} …基板電圧
SW…切換手段



【特許請求の範囲】

【請求項1】 基板が第1導電型の半導体からなり、光電変換された電荷を蓄積する第1導電型の電荷蓄積領域と前記第1導電型半導体基板との間に電荷蓄積領域から基板側へ向う電荷の流れに対して障壁となる第2導電型の半導体層が位置するようにされ、該第2導電型の半導体層と、前記第1導電型半導体基板との接合を逆バイアスする基板電圧を発生する基板電圧発生回路を有する縦形オーバーフロー構造の半導体イメージセンサーにおいて、前記逆バイアス電圧をフィールド蓄積時とフレーム蓄積時とで択一的に変化させて前記電荷蓄積領域のそれぞれの取扱い電荷量を相互に切替える切替手段を設けたことを特徴とする半導体イメージセンサー。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は新規な半導体イメージセンサーに関し、特に撮影場所に応じてフィールド蓄積とフレーム蓄積との間で蓄積方法を切り換えると電荷蓄積領域の取扱い電荷量とその蓄積方法の切り換えに応じて最適値に変化できるようにした新規な半導体イメージセンサーを提供しようとするものである。

【0002】

【従来の技術】半導体イメージセンサーはブルーミング、スミア現象が生じるというのが欠点である。そのため、各セルの感光素子に一定量以上の電荷が生じるとオーバーフローによって感光素子から例えば基板側に吸収されるようにすることによってブルーミング、スミアを防止するようにされている。

【0003】そして、オーバーフローが開始するような感光素子における蓄積電荷量は感光素子の取扱い電荷量と称される。

【0004】そして、従来において感光素子の取扱い電荷量をイメージセンサーの使用時（換言すればイメージセンサーを用いたビデオカメラ等の使用時）に変えることはできなかった。

【0005】

【発明が解決しようとする課題】ところで、上記した従来の半導体イメージセンサーにあつては、感光素子の取扱い電荷量は使用時に変化できるようにすることが好ましい。それは次の理由による。

【0006】半導体イメージセンサーの感光素子への電荷の蓄積方法にはフィールド蓄積とフレーム蓄積とがある。フレーム蓄積は1つのフィールド期間に第1、第3、第5、・・・の水平列の感光素子の信号電荷を順次読み出し、別のフィールド期間に第2、第4、第6、・・・の水平列の感光素子の信号電荷を順次読み出すという普通のインターレースによる読み出しを行うものであり、1つの素子に着目するとその読み出し周波数が30Hzとなる。

【0007】それに対して、フィールド蓄積は1つのフ

ィールド期間には、第1の水平列と第2の水平列、第3の水平列と第4の水平列、第5の水平列と第6の水平列、・・・が組合わされ、その組合わされた水平列の感光素子の信号電荷どうしをまとめて垂直レジスタに読み出し、別のフィールド期間には第2の水平列と第3の水平列、第4の水平列と第5の水平列、第6の水平列と第7の水平列、・・・が組合わされ、その組合わされた水平列の感光素子の信号電荷どうしをまとめて読み出すという特殊なインターレースによる読み出しを行うものであり、1つの素子に着目するとその読み出し周波数が60Hzとなる。

【0008】従って垂直レジスタはフレーム蓄積の場合は各電荷パケットにおいて1つの感光素子で蓄積された信号電荷を転送するが、フィールド蓄積の場合は各電荷パケットにおいて2つの感光素子で蓄積された信号電荷を混合して転送する。

【0009】ところで、フィールド蓄積によれば一般的には再生段階での画像のちらつきをより少なくすることができ、室内で撮影する場合に問題がある。というのはフィールド蓄積によれば1つの感光素子に着目すると読み出し周波数が60Hzとなるが、室内での蛍光灯の点灯に用いる商用電源は関東等の地域では50Hzであり、50Hzの電源によって点灯してチラつく蛍光灯の下で撮影を行うと、その周波数の差である10Hzのビートが生じ、チラツキの原因となる。勿論、フレーム蓄積の場合も蛍光灯のチラツキとの間にビートが生ずるが、その間の周波数は20Hzであり、見て感じるチラツキはきわめて少なくなる。

【0010】従って、室内特に50Hzの商用電源で点灯する蛍光灯の下で撮影する場合にはフィールド蓄積による撮影は好ましくなく、フレーム蓄積による撮影をするのが好ましいといえる。

【0011】従って、半導体イメージセンサーを用いたビデオカメラ等においては撮影場所に応じて感光素子の信号電荷の蓄積方法を切替えることが好ましい。

【0012】しかしながら、信号電荷の蓄積方法を切替えるようにする場合には感光素子の取扱い電荷量を切替えるようにする必要がある。というのは、垂直レジスタはフレーム蓄積の場合には各電荷パケットにおいて1つの感光素子で蓄積された信号電荷を保持すれば良いのに対して、フィールド蓄積の場合には各電荷パケットにおいて2つの感光素子で蓄積された信号電荷を保持しなければならぬ。

【0013】従って、各感光素子からレジスタへ送出する信号電荷の最大量がフィールド蓄積の場合にはフレーム蓄積の場合よりも例えば2分の1に減少させることが好ましい。これが使用時に感光素子の取扱い電荷量を変化させることができるようにする必要性のあることの理由である。

【0014】

【課題を解決するための手段】そこで、本発明半導体イメージセンサーは、上記した課題を解決するために、基板が第1導電型の半導体からなり、光電変換された電荷を蓄積する第1導電型の電荷蓄積領域と前記第1導電型半導体基板との間に電荷蓄積領域から基板側へ向う電荷の流れに対して障壁となる第2導電型の半導体層が位置するようにされ、該第2導電型の半導体層と、前記第1導電型半導体基板との接合を逆バイアスする基板電圧を発生する基板電圧発生回路を有する電圧が印加される縦形オーバーフロー構造の半導体イメージセンサーにおいて、前記逆バイアス電圧をフィールド蓄積時とフレーム蓄積時とで択一的に変化させて前記電荷蓄積領域のそれぞれの取扱い電荷量を相互に切替える切替手段を設けたことを特徴とするものである。

【0015】

【作用】従って、本発明半導体イメージセンサーにあっては、基板電圧を変化することにより使用時において電荷蓄積領域の取扱い電荷量を変えることができ、電荷の蓄積方法の切り換えに応じて取扱い電荷量をフレーム蓄積に適するようにしたり、フィールド蓄積に適するようにしたりすることができる。

【0016】

【実施例】以下に、本発明半導体イメージセンサーを添付図面に示した実施例に従って詳細に説明する。

【0017】図1は本発明半導体イメージセンサーの実施の一例のセル断面構造を示すものであり、同図において、1はN⁻型半導体基板、2は半導体基板1の表面に形成されたP型半導体ウェルで、N⁻型半導体基板1との間に形成されるPN接合の深さは均一ではなく、感光素子が形成される位置において浅く、それ以外の位置において深くされている。

【0018】3はフォトダイオード型の感光素子で、P型半導体ウェル2の表面に選択的に形成されたN⁺型半導体領域からなり、半導体ウェル2と基板1との間のPN接合の浅い部分に対応したところに位置せしめられている。

【0019】4はチャンネルストッパで、P型半導体ウェル2表面に感光素子3の垂直列と平行に形成されたP⁺型半導体領域からなる。

【0020】5は半導体ウェル2表面に形成されたN型半導体領域からなる垂直レジスタ、6は読み出しゲートで、半導体ウェル2表面の垂直レジスタ5と感光素子3とを結ぶ位置に形成されたP⁻型半導体領域からなる。

【0021】7は半導体表面のシリコン酸化膜(SiO₂)、8は転送用電極、9はアルミニウム等からなる光シールドである。

【0022】この半導体イメージセンサーはN⁻型の半導体基板1の表面にP型半導体ウェル2を形成し、該半導体ウェル2の表面に感光素子3、垂直レジスタ5、チャンネルストッパ4、読み出しゲート6等を形成したも

のであり、P型半導体ウェル2を基準電位として各電極に信号が与えられて半導体イメージセンサーが動作する。そして、P型半導体ウェル2とN⁻型半導体基板1との間には逆バイアスの基板電圧V_{sub}が印加されている。

【0023】10はその基板電圧を発生する基板電圧発生回路である。Eは電源、R1、R2、R3は互いに直列に接続されて分圧回路を構成する抵抗で、該抵抗R1、R2、R3によって構成された分圧回路は電源Eの両極間に接続されている。そして、電源Eの陰極は半導体ウェル2と接続されている。

【0024】SWは基板電圧切替スイッチで、その共通端子は、N⁻型半導体基板1に接続され、その一方の切替端子は抵抗R1とR2の接続点に接続され、他方の切替端子は抵抗R2とR3の接続点に接続されている。

【0025】しかして、基板電圧切替スイッチSWを操作することによって基板電圧をV_{sub}を2段階で切替えることができる。そして、基板電圧、即ち、P型半導体ウェル2と半導体基板1の間に加える逆バイアス電圧V_{sub}を切替えることによって感光素子3の取扱い電荷量を変化させることができる。

【0026】以下に基板電圧V_{sub}によって取扱い電荷量を変えることのできる理由について述べる。

【0027】図2は感光素子中央の深さ方向におけるポテンシャルプロファイルを示すものである。感光素子3内に蓄積されたところの光電変換された電荷の量がP型半導体ウェル2により生じる電位障壁を越えるとその障壁を越えた分の電荷はプラスにバイアスされた基板1に吸収される。

【0028】従って、感光素子3に過剰に蓄積した電荷が垂直レジスタ5へ流れ込むことを防止することができる。

【0029】そして、過剰電荷の流れる方向、即ち、オーバーフロー方向が横方向ではなくて縦方向なので、このように半導体基板1に過剰電荷が吸収されるようにした半導体イメージセンサーは縦形オーバーフローイメージセンサーと称される。

【0030】ところで、ポテンシャルプロファイルは一定不変ではなく、感光素子に蓄積される電荷の量によって変化し、電荷が増加すると(増加電荷量をΔQとする。)破線に示すように変化し、それに伴って有効障壁高さφ_b〔感光素子1内の中性領域の端(深さX₁)におけるポテンシャルφ₁と障壁の頂部(深さX₂)におけるポテンシャルφ₂との差〕が変化する。そして、電荷量の増加に基づく障壁高さφ_bの変化量Δφ_bについて考察すると、その変化量Δφ_bは次式で表わされる。

【0031】

【数1】

$$\Delta \phi_b = \Delta \phi_1 - \Delta \phi_2$$

【0032】ところで、Δφ₁は増加電荷量ΔQを感光

素子3に寄生する容量 C_g で除算することにより求められる。即ち、次式で表わされる。

【0033】

【数2】

$$\Delta\phi_1 = \frac{\Delta Q}{C_g}$$

【0034】尚、 C_g は感光素子3と周囲の電極8との間の容量 C_p と、感光素子3とチャンネルストップ4との間の容量 $C_{p'}$ と、感光素子3と基板1との間の容量 C_b の総和である。即ち、次の2つの式が成立する。

【0035】

【数3】

$$C_g = C_p + C_{p'} + C_b$$

【0036】

【数4】

$$\Delta\phi_2 = \frac{C_2}{C_2 + C_3} \Delta\phi_1$$

【0037】ここで、 C_2 は X_1 と X_2 の間の空乏層の容量、 C_3 は X_2 と基板側空乏層端（深さ W ）との間の容量である。又、 $(C_2 + C_3) / C_3$ を R とする。

【0038】しかして、感光素子3の蓄積電荷量の増加 ΔQ に基づく障壁高さ ϕ_b の変化量 $\Delta\phi_b$ は次式で表わ

$$\Delta Q = RC_g (\phi_b^0 - \phi_{bk}) + RC_g \frac{kT}{q} \ln(I_p / I_k)$$

【0047】という式で表わすことができる。

【0048】ここで、 ϕ_b^0 は蓄積電荷量 ΔQ が0のときの有効障壁高さ ϕ_b であり、 ϕ_{bk} はオーバーフロー開始時の有効障壁高さ ϕ_b である（ $\phi_{bk} \approx 0.5$ V）。

【0049】ところで、 ϕ_{bk} は基板 V_{sub} に対する依存性を有しないのに対して ϕ_b^0 は依存性を有している。

【0050】そして、基板電圧 V_{sub} の変動による有効障壁高さ ϕ_b の変動量 $\delta\phi_b^0$ は、次式で表わされる。

【0051】

【数8】

$$\delta\phi_b^0 = -\frac{1}{R} \delta V_{sub}$$

【0052】ところで、この場合、オーバーフロー開始時の電荷量 ΔQ_k は次式で表わされる。

【0053】

【数9】

$$\Delta Q_k = RC_g \{\phi_b^0 + \delta\phi_b^0 - \phi_{bk}\}$$

$$= RC_g \{\phi_b^0 - \phi_{bk}\} - C_g \delta V_{sub}$$

【0054】この式から明らかなように、オーバーフロー開始時の電荷量は基板電圧 V_{sub} を変動するとその基板電圧の変動量 δV_{sub} にフォトダイオードの全容量 C_g を乗算した値だけ変動し、基板電圧 V_{sub} を

される。

【0039】

【数5】

$$\Delta\phi_b = \frac{\Delta Q}{RC_g}$$

【0040】次に、感光素子3に蓄積される電荷量 ΔQ と光電流 I_p との関係について考察する。

【0041】図3はその関係を示す図である。

【0042】同図においてオーバーフローが開始する電荷量を ΔQ_k 、その時の光電流を I_k とする。

【0043】 $I_p < I_k$ のとき、即ち、オーバーフローしていないときは蓄積電荷量 ΔQ と光電流 I_p とは比例する。即ち、次式で表わされる。

【0044】

【数6】

$$\Delta Q \propto I_p$$

【0045】 $I_p > I_k$ のとき、即ち、オーバーフローしているときの感光素子3に蓄積される電荷量 Q は、次式で表わされる。

【0046】

【数7】

高くすることによりオーバーフロー開始時の電荷量を少なくすることができる。

【0055】従って、基板電圧 V_{sub} を切換えることによって取扱い電荷量を切換えることができる。

【0056】依って、スイッチ SW を図1における上側に切換えて基板電圧 V_{sub} を高くすることにより感光素子3の取扱い電荷量を少なくしてフィールド蓄積に適するようにし、逆にスイッチ SW を図1における下側に切換えて基板電圧 V_{sub} を低くすることにより感光素子3の取扱い電荷量を多くしてフレーム蓄積に適することができる。

【0057】

【発明の効果】以上に述べたように、本発明半導体イメージセンサーは、基板が第1導電型の半導体からなり、光電変換された電荷を蓄積する第1導電型の電荷蓄積領域と前記第1導電型半導体基板との間に電荷蓄積領域から基板側へ向う電荷の流れに対して障壁となる第2導電型の半導体層が位置するようにされ、該第2導電型の半導体層と、前記第1導電型半導体基板との接合を逆バイアスする基板電圧を発生する基板電圧発生回路を有する縦形オーバーフロー構造の半導体イメージセンサーにおいて、前記逆バイアス電圧をフィールド蓄積時とフレーム蓄積時とで択一的に変化させて前記電荷蓄積領域のそれぞれの取扱い電荷量を相互に切換える切換手段を設けたことを特徴とするものである。

【0058】従って、本発明半導体イメージセンサーに

あつては、基板電圧を変化することにより使用時において電荷蓄積領域の取扱い電荷量を変えることができ、電荷の蓄積方法の切り換えに応じて取扱い電荷量をフレーム蓄積に適するようにしたり、フィールド蓄積に適するようにしたりすることができる。

【図面の簡単な説明】

【図1】本発明半導体イメージセンサーの実施の一例を示すセルの断面図である。

【図2】電荷蓄積領域中央における深さ方向のポテンシ

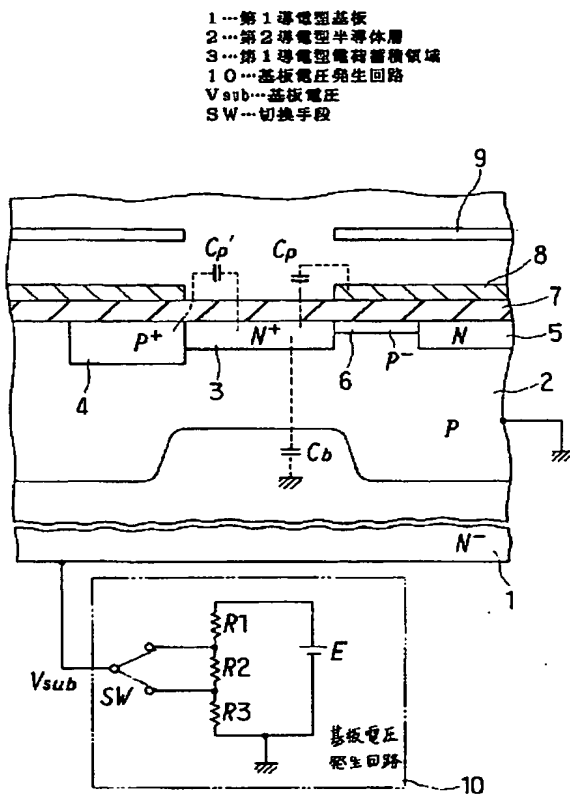
ャルプロファイルを示す図である。

【図3】光電流と蓄積電荷量との関係を示す図である。

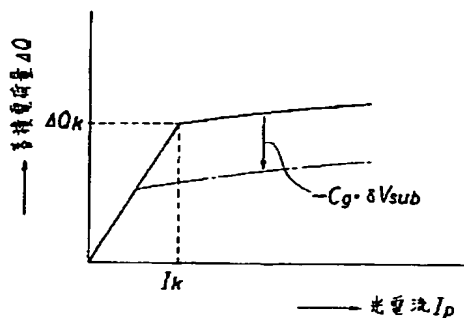
【符号の説明】

- 1 第1導電型基板
- 2 第2導電型半導体層
- 3 第1導電型電荷蓄積領域
- 10 基板電圧発生回路
- V_{sub} 基板電圧
- SW 切換手段

【図1】



【図3】



【図2】

